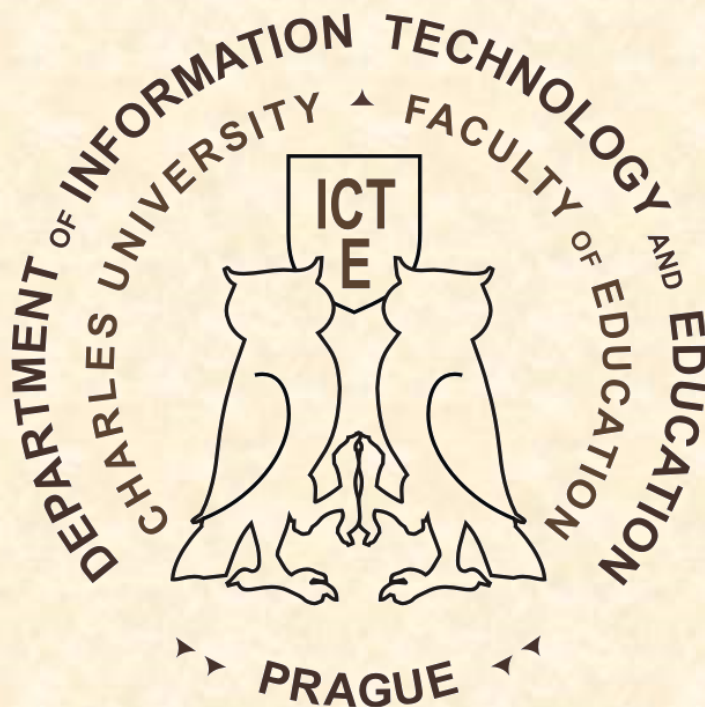




# Procesor



## Central Processing Unit (CPU)

- Centrální procesorová jednotka. U PC ji představuje integrovaný obvod (IC) - mikroprocesor (microprocessor).
  - Mikroprocesor je tedy integrovaný obvod zajišťující funkce centrální procesorové jednotky (CPU) počítače. (Intel v r. 1971).
- Velmi složitý integrovaný obvod, který uvnitř obsahuje poměrně velké množství navzájem propojených kombinačních i sekvenčních logických obvodů.

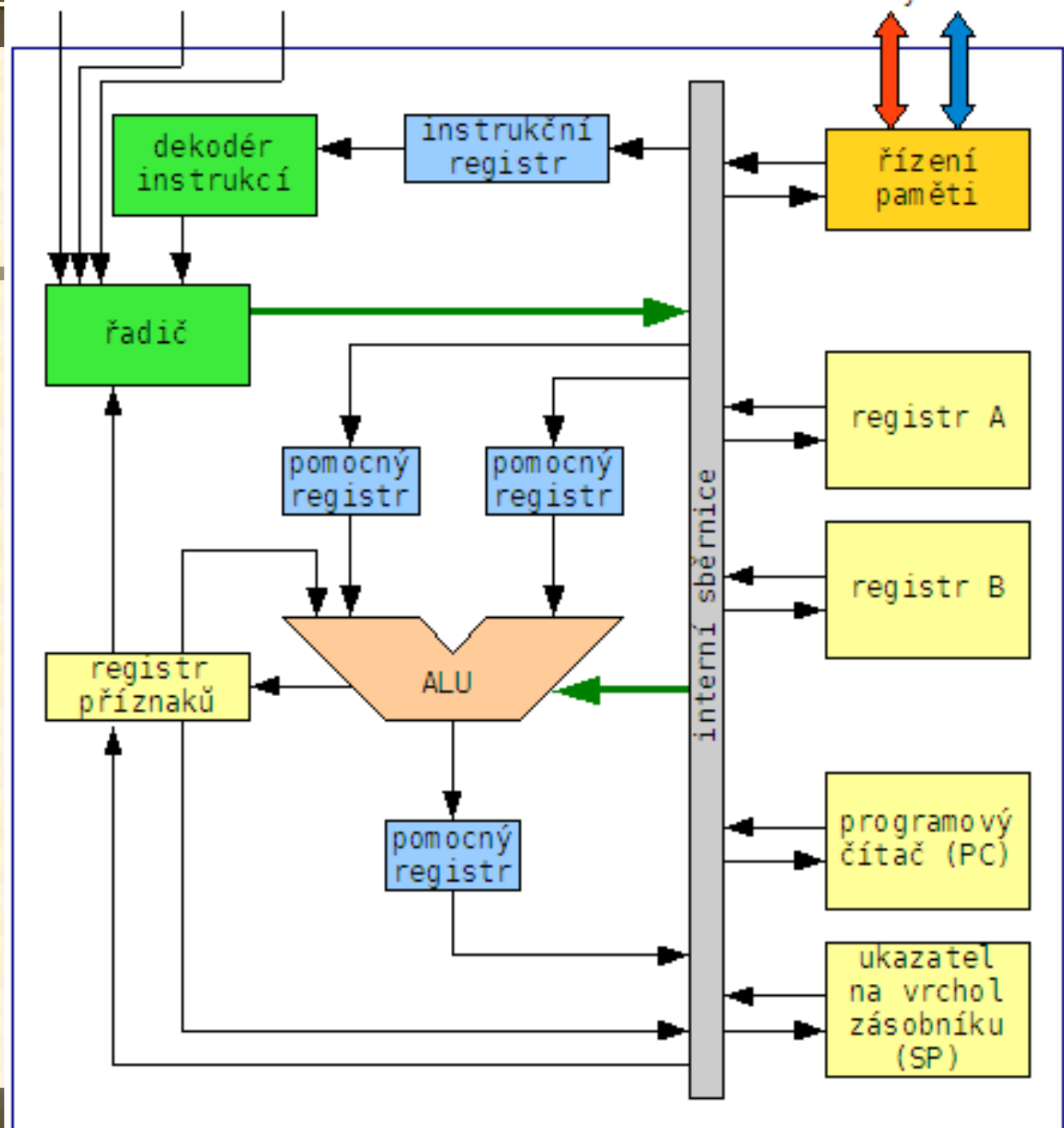
## Architektura procesoru

- **Architektura** = stavba procesoru, tedy obvody uvnitř procesoru; uspořádání a propojení vnitřních částí.
- Základní obvody architektury procesoru:
  - Řadič procesoru.
  - Výpočetní jednotka (ALU).
  - Paměťové registry (adresové, instrukční, datové).
- Vývoj - zvýšení výkonu při zpracování instrukcí a dat, snížení spotřeby elektrické energie,...

# Architektury procesoru (podle instrukční sady)

- CISC (Complex Instruction Set Computer)
  - např. IBM System/360, Intel, AMD,...
- RISC (Reduced Instruction Set Computer)
  - např. ARM, starší AMD, Atmel AVR,...
- VLIW (Very Long Instruction Word)
- MISC (Minimum Instruction Set Computer)
  - např. v oblasti řízení či pro real-time systémy.

# Jednoduchý procesor (mikroarchitektura)



## Registr

- Malá paměť schopna uschovat vždy jedno *slovo*.
- **Slovo** = základní jednotka, se kterou mikroprocesor pracuje (šířku operandů vstupujících do aritmeticko-logické jednotky).
- **Šířka slova** - vnitřní šířka dat, počet současně zpracovávaných bitů (4 – 128 b); maximální počet bitů, které je možné zpracovat během jediné operace.
- Šířka adresy, šířka zpracovávaných dat, šířka operandů v ALU.
- Pro instrukce, velmi malá kapacita; paměť - rychlá, statická.
- Různé typy registrů:
  - Pracovní registry/akumulátor (střádač), registr příznaků (např. skok, posuv), čítač instrukcí (adresace instrukce strojového kódu v operační paměti), stack pointer (ukazuje na momentálně nejvyšší zabranou buňku zásobníku) - viditelné programátorovy ve strojovém kódu.
  - Pomocné, instrukční (interní pro provádění instrukcí).

## ALU

- Na její vstup jsou připojeny pomocné registry, obsah příznaku přenosu přečtený z registru příznaků a řídicí signály přivedené přímo z interní sběrnice. Na základě řídicích signálů provede ALU požadovanou operaci a výsledek operace po několika taktech uloží do dalšího pomocného registru a také příznaků uložených do příznakového registru (vliv na chování instrukcí, např. skok).
- Operace jsou dány instrukční sadou - základní aritmetické operace (sčítání a odčítání s případným přenosem), logické operace prováděné bit po bitu, bitové posuny, bitové rotace, aritmetický posuv doprava,...

## Dekodér a řadič

- „Mozek“ procesoru.
- Řadič pracuje na základě instrukcí, které jsou přečteny z operační paměti a přes interní sběrnici a instrukční registr vstupují do dekodéru instrukcí.
- Dekodér instrukční kód rozloží na jednotlivé části a takto předzpracovanou instrukci přenese do řadiče.
- Řadič instrukci rozloží na takzvané mikroinstrukce a jednotlivé bity mikroinstrukce následně zasílá na interní sběrnici (do její řídicí části) - tyto bity pak řídí všechny další bloky mikroprocesoru, tj. například určují, jakou operaci má provést ALU, obsah kterého pracovního registru má být poslán na vstup ALU, jaká data jsou zapsána či naopak přečtena z operační paměti atd.

## Interní sběrnice

- Po interní sběrnici proudí data mezi pracovními a pomocnými registry, údaje načtené z operační paměti, adresy posílané na adresní sběrnici, popř. i další údaje. Kromě toho je na této sběrnici poměrně velké množství bitových vodičů, pomocí nichž řadič určuje, kterým směrem data proudí, tj. zdrojový a cílový registr.
- Šířka datové a adresové části interní sběrnice.

## Hodinový signál

- Instrukce, kterou mikroprocesor provádí, je interně rozložena do jedné nebo několika jednodušších akcí (např. do přenosu dat mezi pracovním registrem a pomocným registrem, vykonáním aritmetické či logické operace v ALU,...).
- Jednotlivé akce musí být vzájemně synchronizovány, k čemuž slouží takzvané hodinové signály přiváděné do mikroprocesoru pomocí vstupu (CLOCK, CLK).
- Hodinový signál s obdélníkovým průběhem (jedná se tedy o binární signál). Prováděn oscilátorem (klopný obvod, krystal).
- Přesná taktovací frekvence.
  - Počet strojových instrukcí zpracovaných v jednom taktu (popř. naopak počet taktů nutných pro zpracování jedné instrukce).

## Signál RESET

- Při zapnutí mikroprocesoru, tj. přivedení napájecího napětí a hodinového signálu, se jednotlivé obvody uvnitř mikroprocesoru obecně nachází v neurčeném stavu (neurčitým, nedefinovaném).
- Je nutné, aby se mikroprocesor (jako celek) po zapnutí dostal do přesně stanoveného výchozího stavu.
- Signál Reset trvá určitou minimální dobu (např. několik taktů hodinového signálu).
- Řadič detekuje signál Reset; vyšle na interní sběrnici mikroprocesoru sekvenci řídicích signálů, pomocí kterých nastaví obsah pracovních registrů na požadované výchozí hodnoty (např. vynulování, nastavení na výchozí stav apod.).

## Načítání instrukcí z operační paměti

- Činnost řízená programem zapsaným v operační paměti (mikroprocesor je pomocí adresové sběrnice, datové sběrnice a řídicí sběrnice připojený k paměťovému subsystému).
- Procesor na adresovou sběrnici zapíše požadovanou adresu, ze které potřebuje instrukci číst a na řídicí sběrnici pošle příkaz pro čtení. Po předem známé době paměť vypíše požadovaný údaj na datovou sběrnici, odkud ho mikroprocesor přečte.
- Procesor instrukce vykonává postupně tak, jak jsou zapsány v paměti a jediný způsob, jak tuto posloupnost instrukcí změnit, je použití příkazů pro skoky (popř. použití přerušení).

## CPU instrukční cyklus (von Neumannův cyklus)

- Načtení instrukce (fetch) – z operační paměti nebo cache.
- Dekódování instrukce (decode) – provádí dekodér instrukcí.
- Získání operandů.
- Provedení instrukce (execute).
- Zápis výsledků.
- **Pipelining** - proudové zpracování - technika práce procesoru koncipovaná tak, aby v době, kdy jedna část procesoru provádí určitou fázi jedné instrukce, mohla jiná část procesoru pracovat na jiné fázi jiné instrukce.

## Instrukční sada

- Strojové instrukce (v assembleru), operační kódy (opkódy) instrukcí.
- Aritmetické instrukce (např. ADD – součet obsahu registrů A a B; SUB – rozdíl obsahu registrů A a B).
- Logické instrukce (AND, OR,...; COM – negace všech bitů jednoho z registrů A či B).
- Skokové a návratové instrukce (např. CALL – volání podprogramu).
- Přesuny mezi pamětí a registry (např. MOV přesun dat mezi registry).
- ...

## Instrukční sada

- CISC (Complex Instruction Set Computer)
  - počítač s plným souborem instrukcí.
- RISC (Reduced Instruction Set Computer)
  - počítač se zjednodušeným souborem instrukcí.
- Široká instrukční sada procesorů CISC usnadňuje jejich programování, protože není některé operace nutné rozepisovat.
- Složitost CISC procesorů vede k problémům při výrobě (velká spotřeba materiálu, větší pravděpodobnost vady, komplikovaný návrh, problémy s vysokými frekvencemi...).

## Instrukční sada - rozšíření

- MMX - rozšíření o 57 speciálních instrukcí pro multimediální operace (např. práce s grafickými daty, zpracování zvuku, videa), které byly dříve zpracovávány samostatnými speciálními zvukovými a grafickými kartami. (Pentium MMX, AMD K6).
- SSE (Streaming SIMD Extension) Pentium III
- SSE2 (Streaming SIMD Extension 2) Pentium 4
  - SIMD (Single instruction multiple data) zpracování více dat v jednom cyklu.
- 3DNow!

## Strojový kód a assembler

- Mikroprocesor zpracovává program zapsaný ve strojovém jazyku neboli strojovém kódu.
- Jedná se o binární formát složený z jednotlivých operačních kódů instrukcí doplněných o adresní část, popř. konstanty.
- Každý mikroprocesor, resp. každá navzájem kompatibilní vývojová řada mikroprocesorů, má svůj vlastní strojový kód, který není obecně přenositelný na ostatní mikroprocesory.
- Operační kód instrukce jednoznačně určuje, jakou operaci má mikroprocesor provést, pomocí adresní části se specifikuje, s jakými operandy (registry, místy paměti, periferními zařízeními) se má daná operace provést, a konstanty mohou určovat hodnotu, která se zúčastní např. aritmetické operace.
- Assembler - jazyk symbolických instrukcí (JSI), někdy také nazývaný jazyk symbolických adres (JSA); překladač.

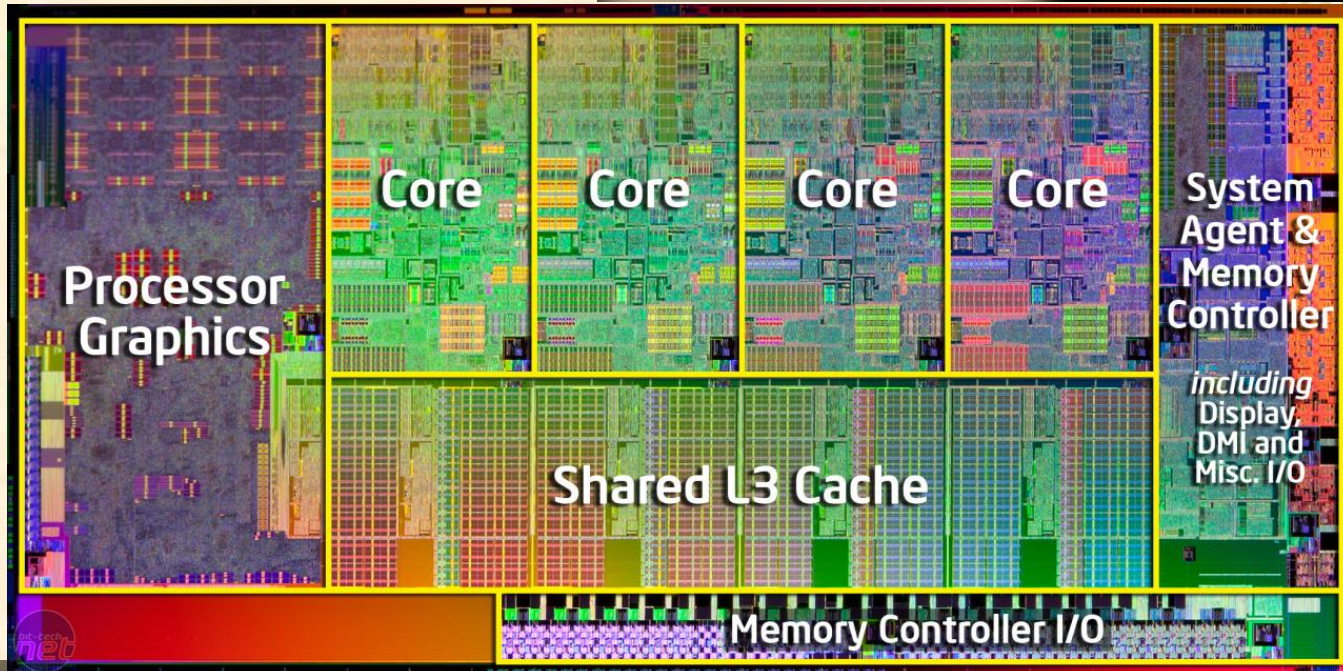
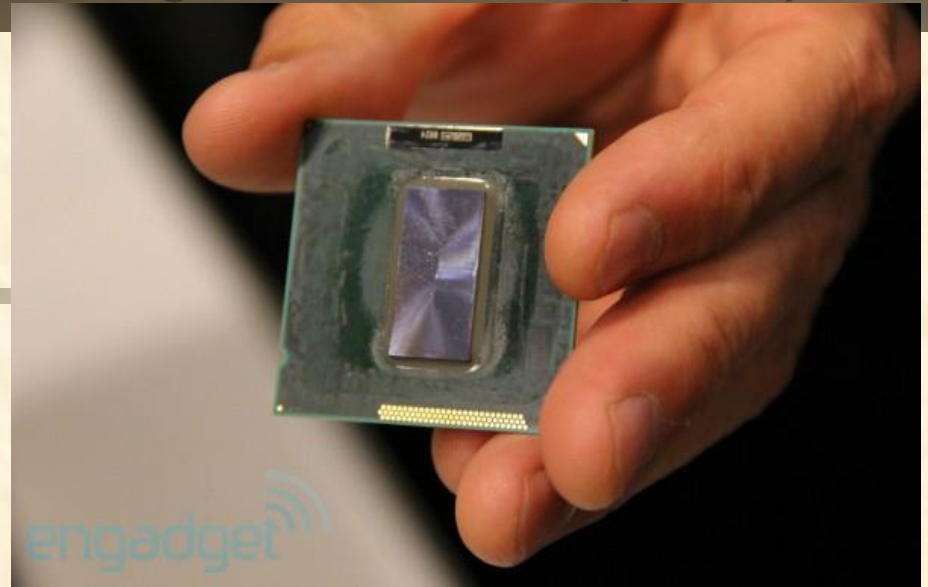
## CPU instrukce

- Každé CPU má pevně daný repertoár strojových instrukcí.
- Délka strojové instrukce je 1 až několik bytů a obsahuje:
  - Operační znak – určuje o jakou instrukci se jedná, počet operandů.
  - Operandová část – určuje umístění jednotlivých operandů.
  - Odkaz na následující instrukci.

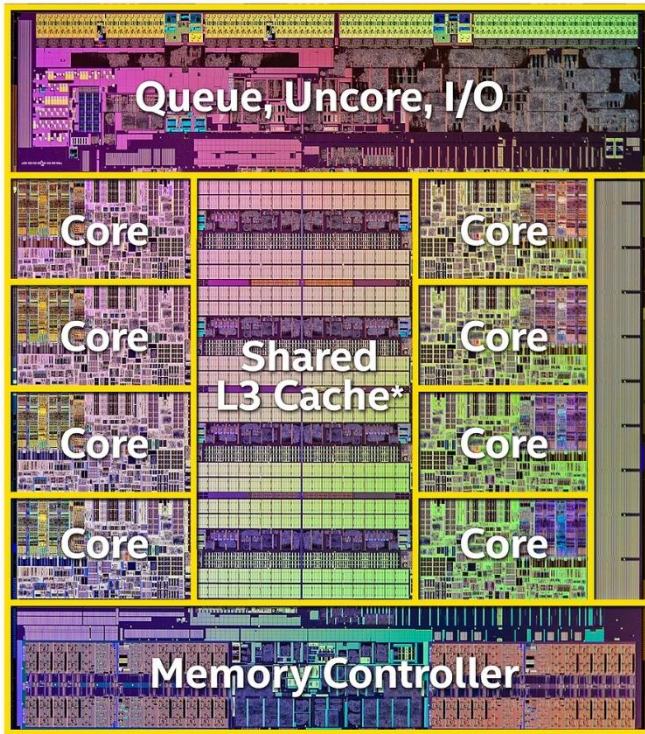
## Efektivita mikrokódu

- Efektivita, se kterou jsou napsány jednotlivé mikroprogramy provádějící jednotlivé instrukce procesoru.
- Počet taktů potřebných pro provedení jedné instrukce (např. vynásobení dvou čísel)
  - 8088 cca 70 taktů
  - 80188 cca 25 taktů
  - 486 cca 2 takty
  - Pentium 1 takt

# Katedra informačních technologií a technické výchovy



## 8-Core Intel® Core™ i7-5960X Processor Extreme Edition

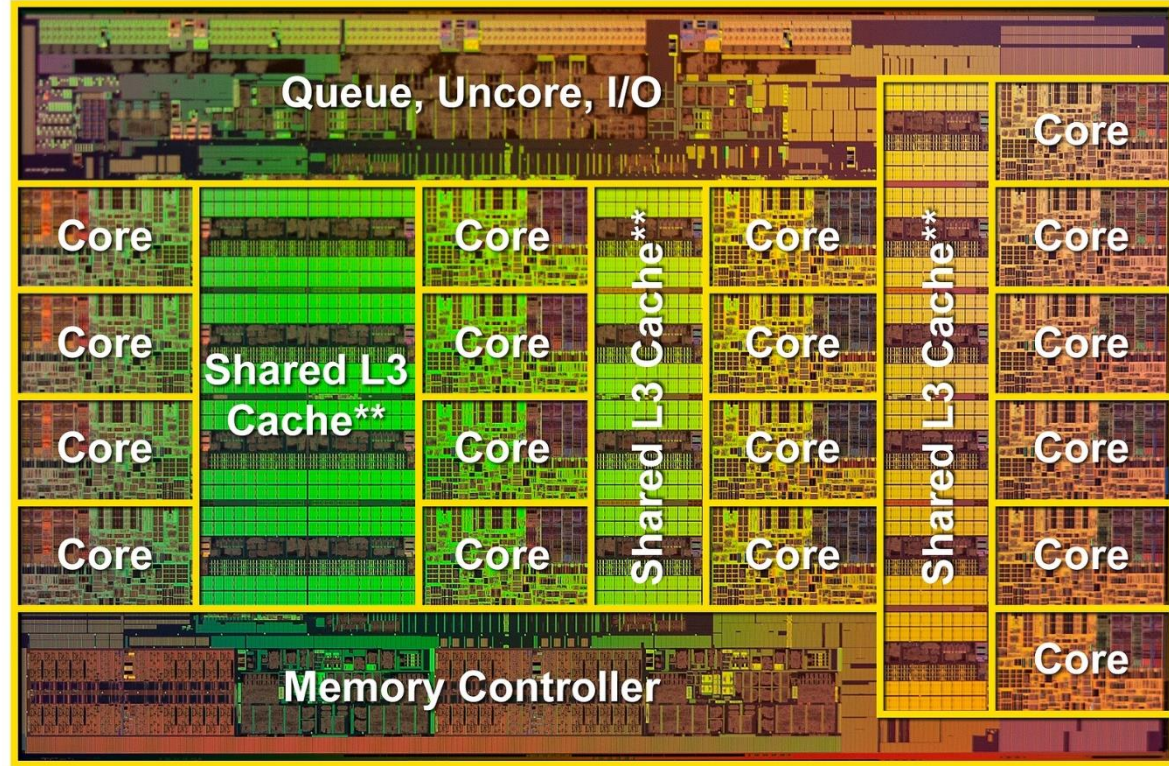


Intel® Core™ i7-5960X Processor Extreme Edition  
Transistor count: 2.6 Billion  
Die size: 354 mm<sup>2</sup>



\* 20MB of cache is shared across all 8 cores

## 18-Core Intel® Xeon™ E5-2696 v3 Processor



Intel® Xeon™ E5-2696 v3 Processor  
Transistor count: 5.96 Billion  
Die size: 662 mm<sup>2</sup>



\*\* 45MB of cache is shared across all 18 cores

## Specifikace CPU

- Vnitřní a vnější frekvence (technologie výroby, napájení).
- Vnitřní šířka dat (šířka slova, registry).
- Vnější šířka sběrnice (šířka přenosu dat).
- Vyrovnávací paměti - Cache (L1, L2, ..).
- Instrukční sada.
- Efektivnost mikroprogramů a počet kanálů (CPU pipelines).
- Adresování, správa a zabezpečení paměti.
- Fyzické provedení (pouzdro – patice, chlazení).
- Spotřeba.

## Vnitřní a vnější frekvence

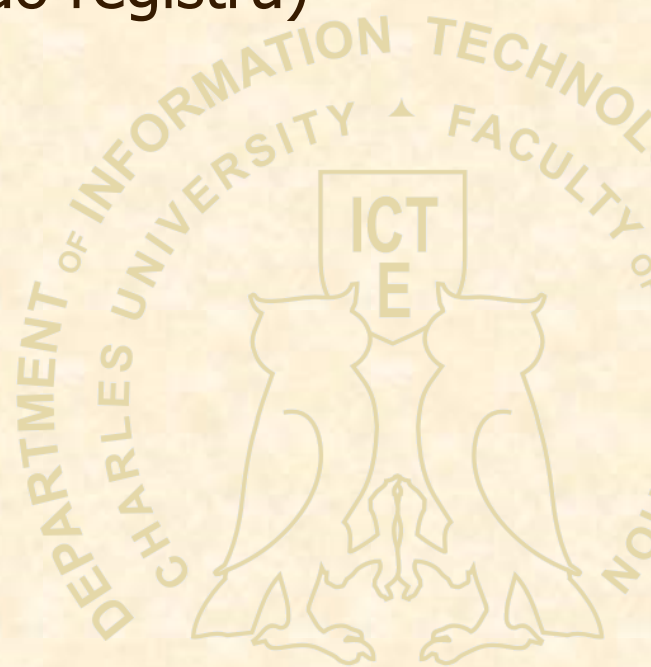
- Vnitřní taktovací kmitočet CPU (procesor frequency) – „rychlost“ procesoru.
  - U prvních počítačů IBM PC činil 4,77 MHz.
- Taktovací kmitočet značně ovlivňuje výkonnost celého systému.
- Hodnota taktovacího kmitočtu je přibližně úměrná rychlosti, s jakou mikroprocesor provádí nejzákladnější operace - strojové instrukce, celkovou výkonnost však také určuje šířka a taktovací kmitočet systémové sběrnice (FSB), použitá architektura obvodů apod.
- Vnější taktovací kmitočet – taktovací kmitočet systémové sběrnice (FSB).
- PC je vybaveno časovacím obvodem (clock generator), který generuje jak vnitřní tak vnější taktovací kmitočty (proto je vnitřní frekvence násobkem vnější).

## Vnější šířka sběrnice FSB

- Vnější šířka přenosu dat - maximální počet bitů, které je možné během jednoho **taktu** přenést z (do) CPU (8 – 128 bit)
- Šířka adresní části sběrnice – určuje max. velikost fyzické paměti, kterou je CPU schopno adresovat
  - > 1MB – 64GB fyzické paměti
  - (obvyčejně omezeno chipsetem)

## Vyrovnávací paměti - Cache

- Interní cache paměť - rychlá interní zásobníková (cache) paměť integrovaná přímo na čipu procesoru (vyrovnává rychlost přenosu dat z pomalejší FSB do registrů)
- **Level 1 (L1)**
  - kB
- **Level 2 (L2)**
  - kB – MB
- **Level 3 (L3) - xMB**



## Paměti

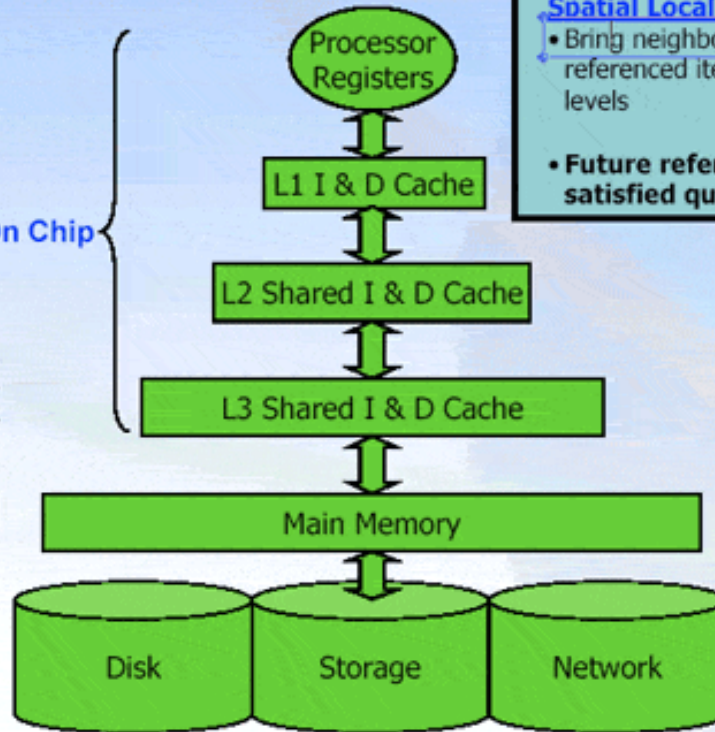
### Review of Cache Architecture

### Memory Hierarchy

~Latency ~Size

|          |          |
|----------|----------|
| 1's nS   | 10's K   |
| 10's nS  | 100's K  |
| 10's nS  | 1000's K |
| 100's nS | 1000's M |
| 1's mS   | 100's G  |

On Chip



#### Temporal Locality

- Keep recently referenced items at higher levels

#### Spatial Locality

- Bring neighbors of recently referenced items to higher levels

- Future references satisfied quickly



## Skalární architektura CPU

- Během 1 hodinového taktu dokáže dokončit zpracování pouze 1 instrukce.
- **Pipelining** = zřetězené zpracování instrukcí.  
Procesor je složen z více funkčních bloků, které jsou vzájemně propojeny (pipeline, datovod). Dokáže si tedy rozpracovat více instrukcí najednou.

## Skalární architektura CPU

- **FPU** = Floating Point Unit, matematický koprocessor
  - Výpočetní jednotka integrovaná přímo v jádře procesoru, specializující se na operace s reálnými čísly s plovoucí řádovou čárkou. (součást CPU - architektura 80486 a vyšší).
- **CACHE** = velmi rychlá, statická paměť typu SRAM, umístěná blízko jádra procesoru. Slouží k uložení části operační paměti (instrukce, data), se kterou procesor momentálně pracuje.

## Superskalární architektura CPU

### ➤ **Paralelní pipelining**

- Obsahují více prováděcích jednotek (především ALU), umožňují paralelní zřetězení – dokončení více instrukcí během jednoho hodinového taktu (pouze na sobě nezávislé instrukce).

### ➤ **Předvídání (predikce) skoku v programu**

### ➤ **Vyrovňovací paměť' CACHE**

- L1 (instrukční, datová).
- L2 (urychlení komunikace mezi CPU a OP).

# Superskalární architektura CPU

## ➤ **SIMD (Single Instruction Multiple Data)**

- Rozšíření instrukční sady o instrukce, které za určitých podmínek dokáží zpracovat více celých (resp. reálných) čísel najednou.
- Vhodné pro multimediální a matematické aplikace (2D/3D grafika, zvuk, video, komprese, atd.).
- Implementace 64 bitových resp. 128 bitových registrů.
- Technologie MMX, 3DNow!, SSE, SSE2, SSE3, SSE4, SSE5, AVX, AltiVec, atd.

## NetBurst architektura (Intel)

### ➤ Taktovací kmitočet

- Rapidní zvýšení rychlosti provádění instrukcí a výpočtů je zde docíleno především zvýšením taktovací frekvence jádra procesoru.
  - Nutnost použití napájecích zdrojů s min. 400 W výkonem.
  - Přidán 12V napájecí konektor pro CPU.
  - Nevhodné pro přenosné počítače.

- Např. Pentium 4

## NetBurst architektura

### ➤ **Hyperskalární architektura**

- Rozpracování až 20 instrukcí v pipeline.
- Zdokonalená predikce (odhadování) skoku v programu: zdvojením některých jednotek zpracovává obě varianty kódu bez ohledu na výsledek skoku v programu, nepoužitou jednoduše odstraní.

### ➤ **Procesorová sběrnice FSB s technologií QPB (Quad Pumped Bus)**

- Až 4 přenosy na sběrnici během 1 hodinového taktu.

## NetBurst architektura

### ➤ **Zpracování instrukcí mimo pořadí**

- Řadič procesoru analyzuje program a na základě zjištěné závislosti mezi jednotlivými instrukcemi provede jejich seřazení do optimálního pořadí.

### ➤ **Rapid execution engine**

- Procesor obsahuje více jednotek ALU, dvě pro jednoduché výpočty pracují na dvojnásobné frekvenci procesoru.

## NetBurst architektura

### ➤ HyperThreading (HT)

- Thread (vlákno): sekvence instrukcí, provádějících např. výpočet s načtenými operandy. Při zpracování vlákna nejsou vždy plně efektivně využity výpočetní jednotky procesoru.
- Jeden procesor (procesorové jádro) pracuje jako dva **logické (virtuální) procesory**, avšak se sdílenými prostředky (ALU/FPU, řadič, prediktory, dekodér).
- Dosáhne se toho duplikováním té části CPU, která obsahuje registry pro uchovávání stavu výpočtů.

## NetBurst architektura

### ➤ Intel 64

- Rozšíření instrukční sady o instrukce pro práci s 64 bitovými čísly.
- Implementace 64 bitových registrů pro uložení instrukcí a dat.
- Zvýšení adresového prostoru operační paměti nad rámec 4 GB ( $2^{32} = 4 \text{ GB}$ ) díky tomuto rozšíření instrukční sady.

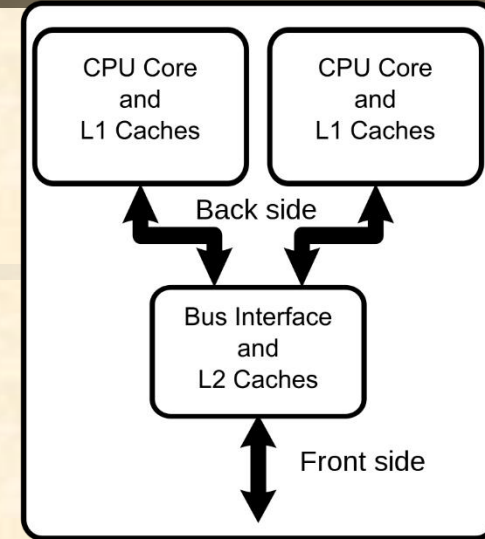
## Core architektura

### ➤ Více fyzických procesorových jader

- Paralelní zpracování více aplikací najednou.
- Rozložení zpracování jedné aplikace na více jader.

### ➤ Podpora 64-bitových operačních systémů

- Plně 64 bitové výpočetní jednotky + registry.



## Core architektura (Intel)

### ➤ **Advanced Smart Cache**

- L2 cache je sdílená mezi oběma jádry procesoru. Kapacitu je možné dynamicky přidělovat (alokovat) pro každé jádro (např. je-li jedno jádro nečinné, může druhé jádro využívat celou kapacitu L2 cache).

### ➤ **Wide Dynamic Execution**

- Během jednoho hodinového taktu lze zpracovat více instrukcí – implementace 4 dekodérů instrukcí.

### ➤ **Macro Fusion**

- Slučování instrukcí - dekódování dvou úzce spjatých instrukcí na jednu mikroinstrukci.

### ➤ **MicroOps Fusion**

- Sloučení dvou mikroinstrukcí, které jsou těsně spjaty do jedné (např. adresace místa v operační paměti + uložení čísla na toto místo).

## Nehalem architektura (Intel)

- **Více fyzických procesorových jader**
  - typicky **2** jádra (i3), **4** jádra (i5, i7), **6** jader (Xeon),...
- **Integrace obvodů severního mostu do CPU**
  - + Platform Controller Hub (PCH) – nahrazuje jižní můstek (SB) na MB (nahrazuje Intel Hub architekturu).
- **L3 Cache paměť**
  - Oddělená L2 cache = 256 kB,...
  - Sdílená L3 cache = 8 MB, 4 MB,...
- **HyperThreading**
- **TurboBoost**
  - Obvody sledují vytížení jednotlivých jader CPU.

## Sandy Bridge architektura (Intel)

- **Plná integrace severního mostu do CPU (Core i7, i5, i3)**
  - Integrace jader CPU + řadič OP + rozhraní grafické sběrnice PCI-Express + GPU na jednom polovodičovém čipu.
- **Grafický procesor (GPU) v CPU**
  - Přímý přístup do paměti L3 cache.
  - Možnost změny frekvence a výkonu dle potřeby programové aplikace.

## Sandy Bridge architektura

### ➤ **System Agent (SA)**

#### ➤ Jedná se v podstatě o obvody severního mostu:

- Řadič operační paměti DDR3.
- Řadič sběrnice PCI-Express x16 verze 2.0.
- PCU (Power Control Unit) = obvod řízení napájení, frekvence a tepelného monitoringu procesoru.

### ➤ **Media Engine**

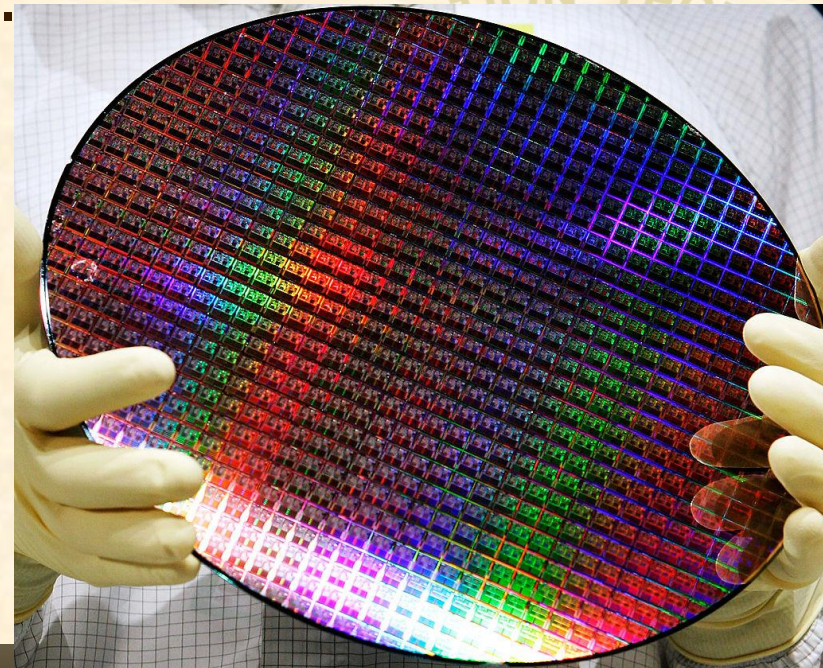
- #### ➤ Obvod pro dekódování videa a převod do jiných formátů.

## Sandy Bridge architektura...

- Přímé propojení jader CPU, GPU pomocí kruhové sběrnice (ring bus).
- CPU, GPU sdílejí L3 Cache.
- Oddělené napájení CPU, GPU, System Agent.
- **Turbo Boost 2.0**
  - Není implementováno u CPU řady Core i3.
  - Obvod PCU (Power Control Unit) dokáže **krátkodobě** přetaktovat procesor nad rámec maximální hodnoty (např. při spouštění programu, náročný výpočet).
- ...

## Výroba

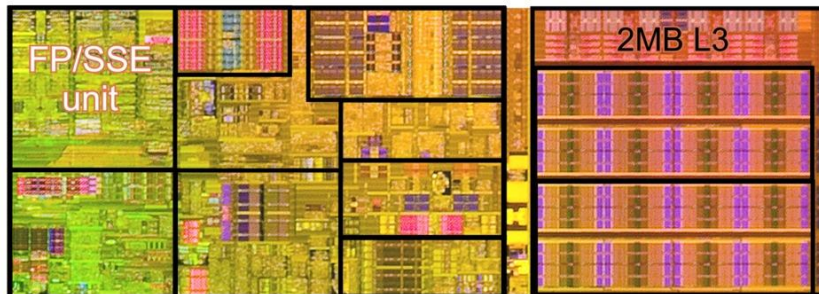
- Křemíkový monokrystal rozřezán na plátky/disky (*wafer*).
- Metody leptání, nanášení obvodů.
- Metody litografie (např. fa [ASML](#)).
- 5 nm výrobní proces.
- **3 nm** (r. 2021 - **2023**)
  - Menší tranzistory
  - Vyšší hustota logiky
  - Nižší spotřeba
  - Nahrazení křemíku (grafen?)?
  - Vertikální tranzistory (VTFET)?
- Např. fa [TSMC](#).



# Three 32nm x86 cores compared

www.chip-architect.com April 12 2010

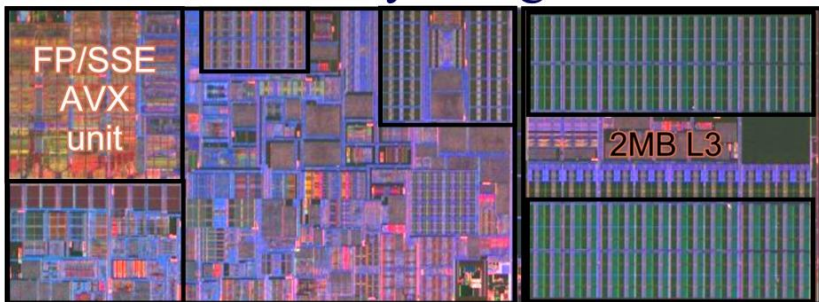
## Intel: Westmere core



Core: 17.2 mm<sup>2</sup>

Core + 2MB L3: 28.5 mm<sup>2</sup>

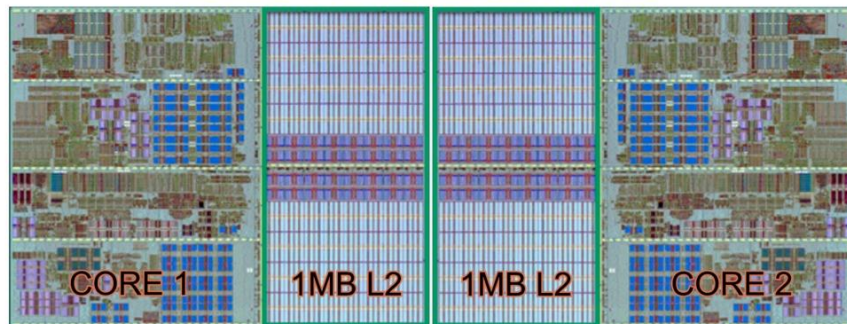
## Intel: Sandy Bridge core



Core: 18.4 mm<sup>2</sup>

Core + 2MB L3: 29.5 mm<sup>2</sup>

## AMD: dual Llano core



Core = 2.73x3.55 mm = 9.69 mm<sup>2</sup>

Dual Core + 2MB L2 = 32.0 mm<sup>2</sup>

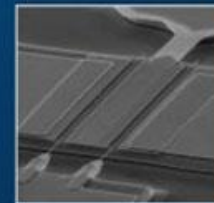
## Our limit to visibility goes out ~10 years

| TECHNOLOGY GENERATION |      |      | 2014            | 2017            | 2020            | Beyond 2020 |
|-----------------------|------|------|-----------------|-----------------|-----------------|-------------|
| 45nm                  | 32nm | 22nm | 14nm            | 10nm            | 7nm             |             |
| 2007                  | 2009 | 2011 | <del>2013</del> | <del>2015</del> | <del>2017</del> | 2020        |

MANUFACTURING

DEVELOPMENT

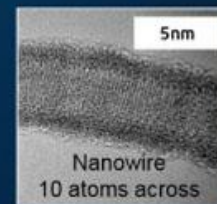
RESEARCH



Carbon Nanotube  
~1nm diameter

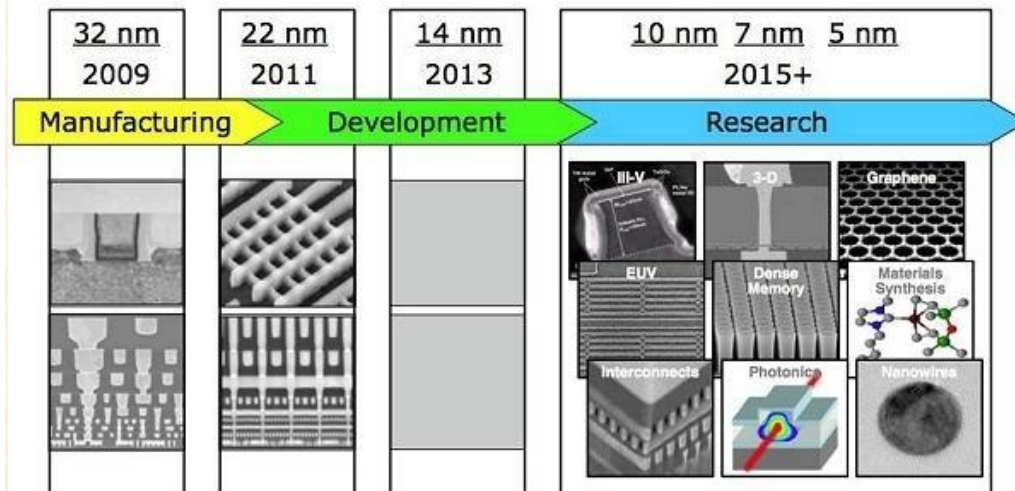


Graphene  
1 atom thick



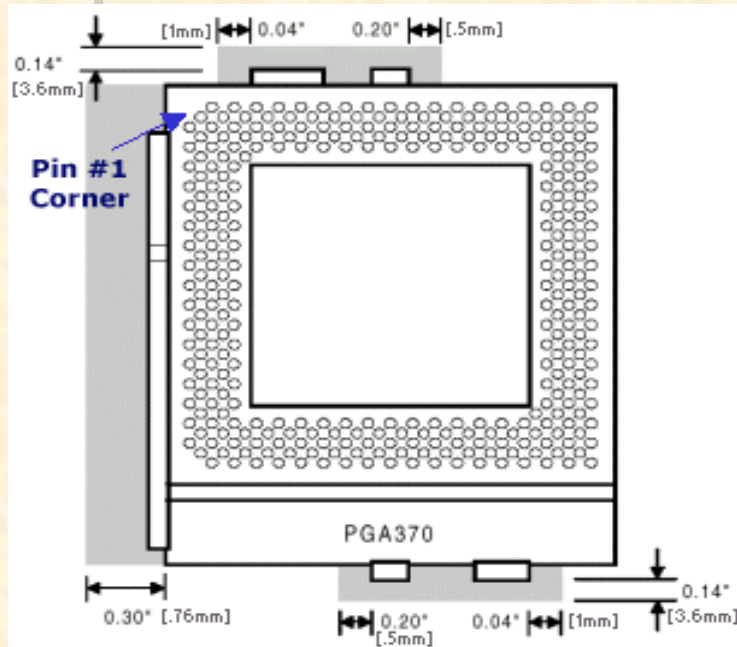
Not to scale

## Innovation Enabled Technology Pipeline

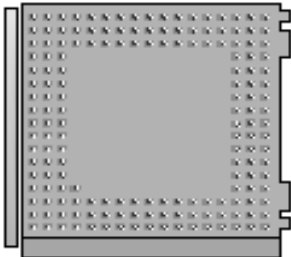


Future options subject to change

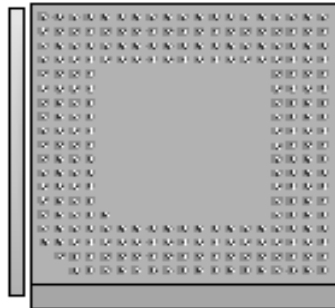
## Fyzické provedení (pouzdro; patice, socket)



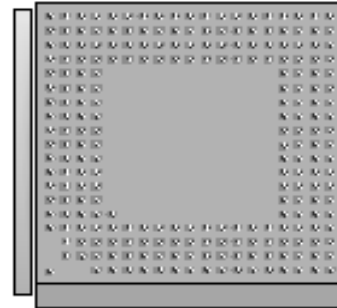
Socket 1



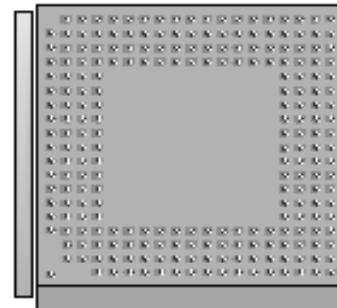
Socket 2



Socket 3



Socket 6



## Výrobci (příklady)

- Intel (Atom, Core M; Core i3, i5, i7, i9 - 13. gen./Raptor Lake), AMD (Ryzen), Samsung (Exynos), Conexant (např. routery), MediaTek, NVIDIA (Tegra), Qualcomm (Snapdragon), Broadcom, VIA, Apple, Atmel, Texas Instruments (OMAP), Motorola, Huawei (Kirin)...
- ARM (AArch64; mobilní), AVR (Atmel), PowerPC.
- Arch. von Neumann x Harvardská.
- Intel 4004 (4b; r. 1971), Intel 8086 (16b, r. 1978; x86), Intel 80286 (16b, r. 1982), Intel 80386 (32b, r. 1986).